



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020034710

(43) Publication Date. 20020509

(21) Application No.1020000065185

(22) Application Date. 20001103

(51) IPC Code:

H01L 21/316

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

JANG, HYEOK GYU

LIM, CHAN

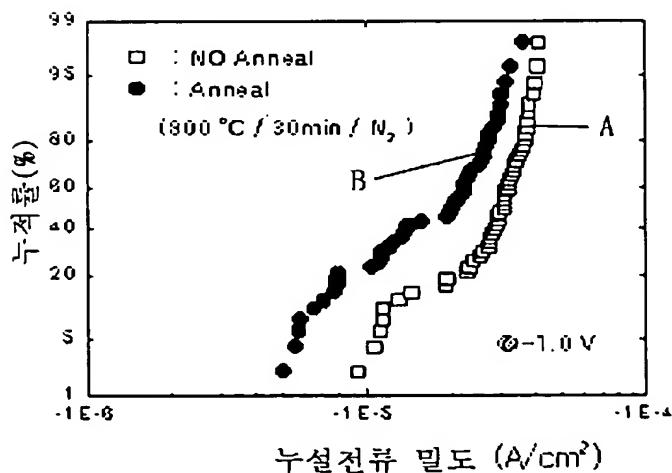
(30) Priority:

(54) Title of Invention

SEMICONDUCTOR DEVICE CAPABLE OF CONTROLLING REACTION OF HAFNIUM OXIDE LAYER AND CONDUCTIVE LAYER AND FABRICATING METHOD THEREOF

Representative drawing

(57) Abstract:



PURPOSE: A method for fabricating a semiconductor device capable of controlling a reaction of a hafnium oxide layer and a conductive layer is provided to control an increase of reaction of a HfO₂ thin film and the conductive layer and a leakage current, by crystallizing the HfO₂ thin film and by forming a conductive layer pattern.

CONSTITUTION: Hf source is injected to a reactor where a substrate is placed so that a hafnium raw material is absorbed to the surface of the substrate. The remaining Hf source and reaction byproduct are exhausted to the outside of the reactor. Oxygen source is injected to

the reactor to absorb oxygen to the upper portion of the semiconductor substrate. The remaining oxygen source and reaction byproduct are exhausted to the outside of the reactor. A Hf-oxide layer is formed on the substrate. A heat treatment process is performed regarding the Hf-oxide layer to crystallize the Hf-oxide layer. The conductive layer is formed on the Hf-oxide layer.

© KIPO 2002

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/316	(11) 공개번호 특2002-0034710
	(43) 공개일자 2002년05월09일
(21) 출원번호 10-2000-0065185	
(22) 출원일자 2000년11월03일	
(71) 출원인 주식회사 하이닉스반도체	
(72) 발명자 장혁규	
	경기도성남시분당구금곡동청솔마을901-1212
	임찬
	경기도이천시대월면사동리현대5차아파트502-1702
(74) 대리인 특허법인 신성	

심사청구 : 없음

(54) 하프늄 산화막과 전도층의 반응을 억제할 수 있는 반도체장치 제조 방법

요약

본 발명은 하프늄 산화막과 전도층의 반응을 억제하고 결정경계를 통한 누설전류의 증가를 방지할 수 있는, 하프늄 산화막을 이용한 반도체 장치 제조 방법에 관한 것으로, 하프늄 산화막(HfO₂)을 열처리한 다음 게이트 전극 또는 캐패시터 상부전극 등과 같은 전도막 패턴을 형성하여 하프늄 산화막과 전도층간의 반응을 억제하는데 그 특징이 있다.

대표도

도3

색인어

하프늄 산화막, 결정립, 누설전류, 열처리, 전도막 패턴

영세서

도면의 간단한 설명

도 1a 및 도 1b는 단원자 증착법에 의해 성장된 HfO₂ 박막을 각각 220 °C와 350 °C에서 증착한 후의 TEM 관측결과 및 회절상 결과를 보이는 사진.

도 2는 HfO₂ 박막 형성 후의 열처리 온도의존성을 보이는 XRD 분석결과 그래프.

도 3는 HfO₂ 박막 형성 후, 열처리 공정 진행 유, 무에 따른 누설전류 특성을 분석한 그래프.

도 4는 HfO₂ 박막 형성 후, 열처리 공정 진행 유, 무에 따른 항복전압 특성을 분석한 그래프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조 분야에 관한 것으로, 특히 하프늄 산화막과 전도층간의 반응을 억제할 수 있는 하프늄 산화막 형성 방법에 관한 것이다.

반도체 소자의 집적도 향상으로 게이트 절연막의 두께가 얇아진다. 게이트 절연막이 얇아지면 게이트 절연막을 통한 직접 터널링(direct tunneling)에 의해 누설전류가 커지기 때문에 최근에는 유전율이 높은 물질로 게이트 절연막을 형성한다. 즉, 게이트 절연막의 유효 두께를 증가시킴으로써 누설전류를 감소시키는 방법에 대한 많은 연구가 진행되고 있으며, 그 대표적인 예로써 실리콘 기판 상에 Hf 산화막(HfO₂)

을 형성하는 방법이 제시되고 있다.

증래 단원자 증착법(atomic layer deposition)을 이용한 HfO_2 박막 형성 방법은, 실리콘 기판을 일정한 온도로 유지하면서 Hf 원료(source) 물질인 HfCl_4 또는 하프늄-테트라-tert-부토시드($\text{Hf-tetra-tert-butoxide}$, $\text{Hf}(\text{OC}(\text{CH}_3)_3)_4$)와 O 원료물질인 H_2O 를 기상상태로 번갈아 가면서 일정한 온도로 유지된 실리콘 기판 표면에 분사하며, 각 원료물질 주입 사이에 퍼지(purge) 과정을 삽입하여 잔여 원료물질을 제거하면서 HfO_2 박막을 증착하는 과정으로 이루어진다.

이와 같이 단원자 증착법으로 성장된 HfO_2 박막은 전기적 특성이 우수하고 단차 피복특성(step coverage)이 우수하여 게이트 절연막 등을 비롯하여 고집적 메모리 소자의 캐패시터와 같은 3차원 구조의 유전막 등으로도 이용된다.

그러나, 성장된 HfO_2 박막 자체의 특성은 우수하지만 후속 공정인 게이트 전극 또는 캐패시터의 상부전극 증착시에는 HfO_2 와 폴리실리콘막 등의 전도층이 서로 반응하여 전극의 물성, 전기적 특성이 열화되는 문제점이 있다.

도 1a 및 도 1b는 Hf 소오스로서 $\text{Hf}(\text{OC}(\text{CH}_3)_3)_4$ 를 이용하고, 산소 소오스로 H_2O 를 이용하여 단원자 증착법에 의해 HfO_2 박막을 각각 220 °C와 350 °C에서 증착한 후 투과전자 현미경(TEM)으로 관찰한 결과와 회절상 분석결과를 함께 보이고 있다. 도 1a 및 도 1b로부터 알 수 있듯이 증착된 HfO_2 박막은 모두 산화막 형태를 유지하며, 회절상 분석결과 금속 상태의 Hf는 관측되지 않았다. 또한 Si와 HfO_2 의 경계에서는 Hf 실리케이트층이 형성되어 계면 접촉 상태가 매우 우수함을 알 수 있다. 한편, 350 °C에서 증착된 HfO_2 박막은 220 °C에서 증착된 HfO_2 박막에 비해 표면 거칠기가 나쁘게 나타남을 알 수 있다. 또한 회절상에서도 220 °C에서 증착된 HfO_2 박막은 비정질 상태를 유지하지만, 350 °C에서 증착된 HfO_2 박막은 어느 정도 결정성을 보여 게이트 절연막으로 이용시 누설전류를 증가시키게 된다.

도 2는 HfO_2 박막 형성 후 산소분위기에서 1시간 열처리를 실시할 경우 열처리 온도 의존성을 보이는 XRD 분석결과이다. 도 1b 및 도 2의 결과로부터 HfO_2 박막 증착 직후에 어느 정도 결정성이 나타나 있는 상태에서 열처리 공정이 실시되고 그 온도가 600 °C 내지 800 °C로 증가하면 결정성은 더욱 커짐을 알 수 있다.

이와 같이 HfO_2 박막의 결정립이 커진 상태에서 그 위에 게이트 전극을 형성하면 결정경계(grain boundary)를 통해 누설전류가 급격히 증가하는 문제점이 있다. 따라서, HfO_2 박막 형성시에는 저온 증착이 매우 중요하며, 하프늄 산화막과 전도층의 반응을 억제하는 공정이 필요하다.

발명이 이루고자하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은 하프늄 산화막과 전도층의 반응을 억제하고 결정경계를 통한 누설전류의 증가를 방지할 수 있는, 하프늄 산화막을 이용한 반도체 장치 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은 기판 상에 Hf-산화막을 형성하는 제1 단계; 상기 Hf-산화막을 열처리하여 결정화시키는 제2 단계; 및 상기 Hf-산화막 상에 전도막을 형성하는 제3 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

본 발명은 하프늄 산화막(HfO_2)을 열처리한 다음 게이트 전극 또는 캐패시터 상부전극 등을 형성하여 하프늄 산화막과 전도층간의 반응을 억제하는데 그 특징이 있다.

이하, 본 발명의 실시예에 따른 HfO_2 박막 형성 방법을 상세하게 설명한다.

단원자 증착법에 의해 HfO_2 박막을 형성하기 위해서는 배출 펌프를 갖춘 반응기 내에 기판을 위치시키고 기판을 200 °C 내지 400 °C의 일정온도로 유지하면서 Hf 소오스인 $\text{Hf}(\text{OC}(\text{CH}_3)_3)_4$ 를 0.1 초 내지 3 초 동안의 일정시간 동안 반응기 내에 흘려주어 반도체 기판의 표면에 Hf 원료물질이 흡착되도록 한다. 이어서 미반응 Hf 소오스 및 반응 부산물을 제거하기 위해서 N_2 가스를 0.1초 내지 3초의 일정시간 동안 반응기내에 흘려주던가 진공 퍼지하여 반응기 밖으로 배출시킨다.

이어서 산소 소오스인 기상의 H_2O 를 0.1초 내지 3초의 일정시간 동안 반응기 내에 흘려주어 반도체 기판 상부에 산소가 흡착되도록 한다. 이어서 미반응 산소 소오스 및 반응 부산물을 제거하기 위해서 N_2 가스를 0.1초 내지 3초의 일정시간 동안 반응기내에 흘려주던가 진공 퍼지하여 반응기 밖으로 배출시킨다.

이와 같이 Hf 소오스 주입, 퍼지(N_2 주입), 산소 소오스 주입, 퍼지(N_2 주입)로 이루어지는 일련의 과정을 적어도 한번 실시하여 원하는 두께의 HfO_2 박막을 형성한다. 상기 HfO_2 박막 증착시 반응기 압력은 100 mTorr 내지 3 Torr로 유지한다.

이후, 200 ℃ 내지 800 ℃ 온도에서 열처리를 실시하여 HfO₂ 박막을 미리 결정화시킨 다음, HfO₂ 박막 상에 게이트 전극 등의 전도막 패턴을 형성한다. 이로써 이미 결정화된 HfO₂ 박막이 게이트 전극 등의 전도막과 반응하지 않도록 하여 누설전류 감소, 항복전압 증가 등의 전기적 특성을 향상시킨다. 이때 열처리는 O₂, N₂, 또는 Ar 분위기에서 실시하며, O₂, N₂ 또는 N₂O 등의 플라즈마를 사용하거나, 필요에 따라서는 UV로 여기된 O₃를 이용한 처리 공정을 수반할 수도 있다.

도 3는 HfO₂ 박막 형성 후, 열처리 공정 진행 유, 무에 따른 누설전류(leakage current) 특성을 분석한 그래프이다. 전기적 특성을 측정하기 위하여 TiN/ HfO₂ /Si 형태의 MOS 구조를 제조하였으며, 상부전극인 TiN은 100 × 100 μm² 크기의 패턴을 형성하였다. 도 3에서 'A'는 HfO₂ 증착 후에 열처리 공정을 하지않고 상부전극을 증착시켰을 때의 누설전류 특성을 나타낸 것이며, 'B'는 HfO₂ 증착 후에 800 ℃에서 질소분위기 30분간 열처리 공정을 수행한 후 상부전극을 증착시켰을 때의 누설전류 특성을 나타낸 것이다. 여기서 누설전류는 상부전극에 -1V를 가했을 때 측정된 전류를 나타낸다. 도 3에서 알 수 있듯이 열처리 공정을 수행한 후에 상부전극을 증착했을 때에는 열처리 공정을 하지않고 상부전극을 증착했을 때와 비교하여 평균적으로 약 34.6 %의 누설전류 감소효과를 얻었다.

도 4는 HfO₂ 박막 형성 후, 열처리 공정 진행 유, 무에 따른 항복전압(breakdown voltage) 특성을 분석한 그래프이다. 전기적 특성 측정을 위한 MOS 구조는 앞의 도 3에서와 동일한 구조를 사용하였다. 도 4에서 'A'는 HfO₂ 증착 후에 열처리 공정을 하지않고 상부전극을 증착시켰을 때의 항복전압 특성을 나타낸 것이며, 'B'는 HfO₂ 증착 후에 800 ℃에서 질소분위기 30분간 열처리 공정을 수행한 후 상부전극을 증착시켰을 때의 항복전압 특성을 나타낸 것이다. 여기서 항복전압은 상부전극에 -100 nA를 가했을 때 측정된 전압을 나타낸다. 도 4에서 알 수 있듯이 열처리 공정을 수행한 후에 상부전극을 증착했을 때에는 열처리 공정을 하지않고 상부전극을 증착했을 때와 비교하여 평균적으로 약 5 %의 항복전압 증가효과를 얻을 수 있다.

도 3과 4의 결과로부터 상부전극 증착 전에 열처리한 HfO₂ 박막이 열처리 하지않은 박막에 비해 전기적 특성이 우수함을 알 수 있다. 한편, HfO₂ 증착 및 상부전극 형성 후에 열처리 공정을 실시할 경우에는 측정이 불가능할 정도로 전기적 특성이 열화되어 도 3 및 도 4에는 나타나지 않았다.

전술한 본 발명의 실시예에서 HfO₂막을 대신하여 ZrO₂, STO 등의 유전막을 형성할 수도 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

그 예로서 전술한 본 발명의 실시예에서는 실리콘 기판 상에 HfO₂막을 형성하는 것을 설명하였지만, HfO₂막 상에 캐패시터의 전극 등을 형성하는 경우에도 본 발명을 적용할 수 있다.

발명의 효과

상기와 같이 이루어지는 본 발명은 HfO₂ 박막 형성 후 열처리를 실시하여 결정화시킨 다음 그 위에 전도막 패턴을 형성함으로써, HfO₂ 박막과 전도층 간의 반응 및 누설전류 등의 증가를 억제할 수 있다.

(57) 청구의 범위

청구항 1

기판 상에 Hf-산화막을 형성하는 제1 단계;

상기 Hf-산화막을 열처리하여 결정화시키는 제2 단계; 및

상기 Hf-산화막 상에 전도막을 형성하는 제3 단계

를 포함하는 반도체 장치 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제1 단계는,

기판에 놓인 반응기 내에 Hf 소오스를 주입하여 상기 기판 표면에 Hf 원료물질층을 흡착시키는 단계;

미반응 Hf 소오스 및 반응 부산물을 상기 반응기 밖으로 배출시키는 단계;

상기 반응기 내에 산소 소오스를 주입하여 상기 반도체 기판 상부에 산소를 흡착시키는 단계;

미반응 산소 소오스 및 반응 부산물을 상기 반응기 밖으로 배출시키는 단계로 이루어지는 일련의 과정을 적어도 한번 실시하여 상기 Hf-산화막을 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 3

제 2 항에 있어서,

상기 Hf-소오스는 $(\text{Hf}(\text{OC}(\text{CH}_3)_3)_4)$ 이고, 상기 산소 소오스는 기상의 H_2O 인 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제2 단계는,

200 °C 내지 800 °C 온도에서 열처리를 실시하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 5

제 4 항에 있어서,

상기 제2 단계에서,

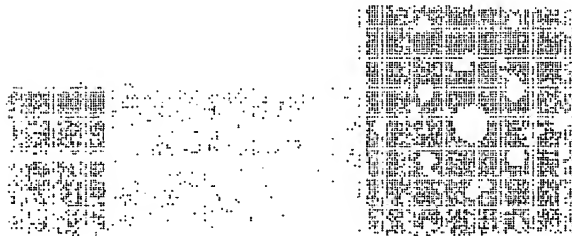
O_2 , N_2 , 또는 Ar 분위기에서 실시하며,

O_2 , N_2 또는 N_2O 등의 플라즈마 또는 UV로 여기된 O_3 를 이용하는 것을 특징으로 하는 반도체 장치 제조 방법.

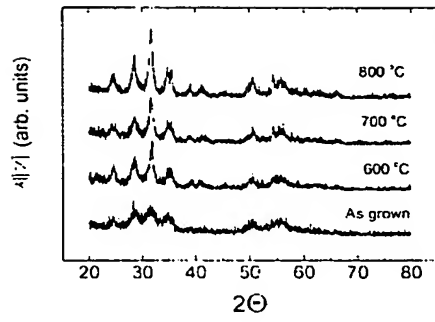
도면

도면 1a

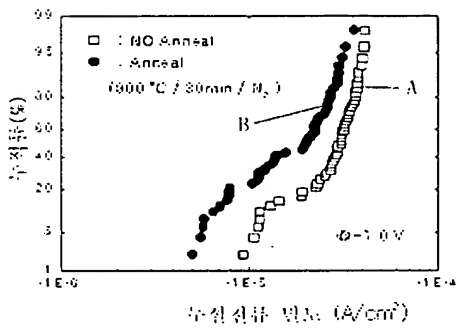
도면 1b



도면2



도면3



도면4

